

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-91178

(P2000-91178A)

(43)公開日 平成12年3月31日(2000.3.31)

(51)IntCl.

識別記号

F I

マークシート(参考)

H 0 1 L 21/02

H 0 1 L 21/02

Z 5 B 0 4 9

G 0 6 F 17/60

G 0 6 F 15/21

R

審査請求 未請求 請求項の数4 O L (全 8 頁)

(21)出願番号 特願平10-258456

(22)出願日 平成10年9月11日(1998.9.11)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 山田 浩之

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 今井 勇次

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74)代理人 100096806

弁理士 岡▲崎▼ 信太郎 (外1名)

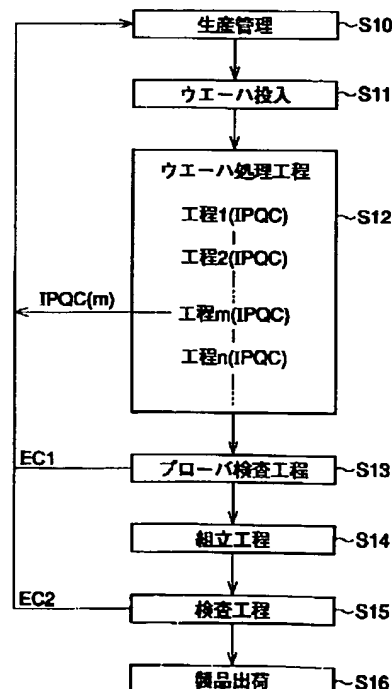
Fターム(参考) 5B049 CC21 CC23 CC24

(54)【発明の名称】 生産管理方法

(57)【要約】

【課題】 歩留まりの変動による半導体製品の生産量の影響を最小限に抑えて、生産管理を適切にするとともに、歩留まりの低下を抑えることができる生産管理方法を提供すること。

【解決手段】 半導体製造装置10で製造されたチップを検査するために測定される電気的特性ECと、前記予定歩留まりとの相関関係を解析して、前記電気的特性ECと、前記ウェハ上に電気素子を形成する際に得られるデータであって、複数のパラメータを有する工程内生産管理データIPQCとの相関関係を解析して、前記電気的特性ECと前記予定歩留まりの相関関係と、前記電気的特性ECと前記工程内生産管理データIPQCの相関関係に基づいて、前記工程内生産管理データIPQCと前記予定歩留まりとの関係を解析して、前記工程内生産管理データIPQCに基づいて前記予定歩留まりを算出し、ウェハの投入する数量を制御する。



## 【特許請求の範囲】

【請求項1】 歩留まりの発生を予め予測して予定歩留まりを算出し、前記予定歩留まりに基づいて半導体製造装置に所定のウェハを投入して、半導体製品の生産量を制御する生産管理方法において、

前記半導体製造装置で製造されたチップを検査するために測定される電気的特性と、前記予定歩留まりとの相関関係を解析して、

前記電気的特性と、前記ウェハ上に電気素子を形成する際に得られるデータであって、複数のパラメータを有する工程内生産管理データとの相関関係を解析して、

前記電気的特性と前記予定歩留まりの相関関係と、前記電気的特性と前記工程内生産管理データの相関関係に基づいて、前記工程内生産管理データと前記予定歩留まりとの関係を解析して、

前記工程内生産管理データに基づいて前記予定歩留まりを算出し、ウェハの投入する数量を制御することを特徴とする生産管理方法。

【請求項2】 前記電気的特性と前記工程内生産管理データとの相関関係の解析は、前記工程内生産管理データのうち、前記電気的特性に影響を与える1つのパラメータを抽出して行われる請求項1に記載の生産管理方法。

【請求項3】 前記電気的特性と前記工程内生産管理データとの相関関係の解析は、前記工程内生産管理データのうち、前記電気的特性に影響を与える複数のパラメータを抽出して行われる請求項1に記載の生産管理方法。

【請求項4】 前記電気的特性と前記工程内生産管理データとの相関関係の解析は、前記工程内生産管理データのうち、前記電気的特性に影響を与える第1パラメータと、前記第1パラメータに影響を与える第2パラメータを抽出して行われる請求項1に記載の生産管理方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、たとえば半導体製造装置における生産管理方法の改良、特に歩留まりの変動による半導体製品の数量の変動を最小限にするとともに、歩留まりを抑えることができる生産管理方法に関するものである。

## 【0002】

【従来の技術】半導体製品の生産管理は要求数量や要求時期に応じて、予定歩留まりやTAT（Turn-Around-Time：製品を完全に仕上げるまで要する時間）を算出して行われている。歩留まりとは、半導体製造装置の製造ラインに投入した製品数量に対する良品完成率を意味する。この歩留まりを算出する予測式はたとえば $Y=1/(1+AD)$ で示すことができる。ここでYは歩留まり、Aは半導体製品のチップ面積、Dは単位面積当たりの欠陥密度である。歩留まり予測式は半導体製品の製造ライン、製造される半導体製品のタイプに最も適した歩留まり予測式が用いられている。

【0003】図5は従来の半導体製品の生産管理方法を示すフローチャート図であり、図5を参照して従来の生産管理方法の一例について説明する。まず、半導体の製造ライン、製造される半導体のタイプに基づいて製造する数量を設定し、複数の歩留まり予測式から最も適合する歩留まり予測式が選択される（S1）。次に、歩留まり予測式により算出された数量のウェハ（ロット）が製造ラインに投入される（S2）。そして、ウェハ上に受動素子、能動素子もしくは集積回路が形成される（S3）。具体的には、半導体製品の製作タイプのプロセスフローに従って、ウェハに対して洗浄工程、拡散工程、酸化膜形成工程、CVD成膜工程、フォトリソグラフィ工程、イオン注入工程、スパッタリング工程等が繰り返されてチップが形成される。そして、このウェハ処理工程が終了すると、処理されたウェハの電気測定が行われて、ウェハの電気的特性が確認される。

【0004】その後、ウェハはプローバ検査工程において、ウェハに形成されているチップの電気的特性を測定し、この段階でチップの良品と不良品を判別する（S4）。そして、良品と不良品の数量情報が生産管理にフィードバックされて、この数量情報に応じて生産ラインに投入するウェハの数量を制御する。そしてプローバ検査工程を経たウェハは半導体製品に組み立てられる（S5）。そして製造された半導体製品のチップに対して電気特性の検査を行い、良品と不良品を判別する。そして、良品と不良品の数量情報が生産管理にフィードバックされて、この数量情報に応じて生産ラインに投入するウェハの数量を制御する。

## 【0005】

【発明が解決しようとする課題】ここで、ウェハ処理工程における各工程の作業条件は所定の範囲で制御されているため、処理される個々のウェハの特性は理論的にはほぼ同一のものとなる。しかし、実際には作業条件は温度、湿度等により変動するため、半導体製品の特性にもばらつきが生じる。そして半導体製品のうち、一定の特性を満たしていないものは不良品となる。従って、不良品の数量は常に一定にはならず変動したものとなり、製造された良品の数量も変動したものとなる。

【0006】ここで、実際の歩留まりが歩留まり予測式より算出された予定歩留まりより下回った場合、すなわち実際の良品の数量が予定していた数量よりも少ない場合、新たにウェハを生産ラインに投入しなければならない。しかし、ウェハが製造ラインに投入（S1）されてから半導体製品が完成するまで（ロットアウト）数十工程～数百工程あり、処理期間には長い日数が必要となる。従って、プローバ検査工程もしくは組立工程において検査した後、ウェハを生産ラインに追加投入しても、一定の数量が揃うまで時間が掛かってしまうという問題がある。

【0007】この問題を回避するために、当初から製造

ラインに投入するウェハの数量を多くして、大量のウェハを投入することが考えられる。しかし、実際の歩留まりが予定歩留まりとほぼ同一であった場合、半導体製品が過剰に生産されてしまうという問題がある。よって、歩留まりが変動することによる半導体製品の生産量の影響を最小限に抑えて、生産管理を適切に行う生産管理方法が求められている。

【0008】そこで本発明は上記課題を解消し、歩留まりの変動による半導体製品の生産量の影響を最小限に抑えて、生産管理を適切にするとともに、歩留まりの低下を抑えることができる生産管理方法を提供することを目的としている。

【0009】

【課題を解決するための手段】上記目的は、請求項1の発明によれば、歩留まりの発生を予め予測して予定歩留まりを算出し、前記予定歩留まりに基づいて半導体製造装置に所定のウェハを投入して、半導体製品の生産量を制御する生産管理方法において、前記半導体製造装置で製造されたチップを検査するために測定される電気的特性と、前記予定歩留まりとの相関関係を解析して、前記電気的特性と、前記ウェハ上に電気素子を形成する際に得られるデータであって、複数のパラメータを有する工程内生産管理データとの相関関係を解析して、前記電気的特性と前記予定歩留まりの相関関係と、前記電気的特性と前記工程内生産管理データの相関関係に基づいて、前記工程内生産管理データと前記予定歩留まりとの関係を解析して、前記工程内生産管理データに基づいて前記予定歩留まりを算出し、ウェハの投入する数量を制御する生産管理方法により、達成される。

【0010】請求項1の構成によれば、工程内生産管理データと歩留まりとの関係を解析することにより、予定歩留まりが導出される。これにより、ウェハ上に電気素子を形成している段階で、予定歩留まりを算出することができるため、早期にウェハを投入することができ、歩留まり変動による半導体製品の生産量への影響を最小限に抑えることができる。

【0011】上記目的は、請求項2の発明によれば、請求項1の構成において、前記電気的特性と前記工程内生産管理データとの相関関係の解析は、前記工程内生産管理データのうち、前記電気的特性に影響を与える1つのパラメータを抽出して行われる生産管理方法により、達成される。請求項2の構成によれば、歩留まりに最も影響を与えている1つのパラメータに基づいて予定歩留まりが算出される。この予定歩留まりに基づいて生産管理が行われることにより、歩留まり変動による半導体製品の生産量への影響を最小限に抑えることができる。

【0012】上記目的は、請求項3の発明によれば、請求項1の構成において、前記電気的特性と前記工程内生産管理データとの相関関係の解析は、前記工程内生産管理データのうち、前記電気的特性に影響を与える複数の

パラメータを抽出して行われる生産管理方法により、達成される。請求項3の構成によれば、歩留まりに最も影響を与えている複数のパラメータに基づいて予定歩留まりが算出される。この予定歩留まりに基づいて生産管理が行われることにより、歩留まり変動による半導体製品の生産量への影響を最小限に抑えることができる。

【0013】上記目的は、請求項4の発明によれば、請求項1の構成において、前記電気的特性と前記工程内生産管理データとの相関関係の解析は、前記工程内生産管理データのうち、前記電気的特性に影響を与える第1パラメータと、この第1パラメータに影響を与える第2パラメータを抽出して行われる生産管理方法により、達成される。請求項4の構成によれば、予定歩留まりは、第1パラメータを解析することにより算出され、この第1パラメータは第2パラメータを解析することにより算出される。従ってウェハを処理する工程において、第2パラメータに影響を与える作業を行うと、第1パラメータも変動し予定歩留まりも変動する。これを利用して、第2パラメータの変動から予定歩留まりの変動を算出して、この予定歩留まりが最小限に抑えられるような第1パラメータになるように、ウェハ処理工程における第1パラメータに影響を与える作業の作業条件を修正する。これにより、歩留まりの低下を最小限に抑えることができる。

【0014】

【発明の実施の形態】以下、本発明の好適な実施の形態を添付図面に基づいて詳細に説明する。なお、以下に述べる実施の形態は、本発明の好適な具体例であるから、技術的に好ましい種々の限定が付されているが、本発明の範囲は、以下の説明において特に本発明を限定する旨の記載がない限り、これらの形態に限られるものではない。

【0015】図1は本発明の生産管理方法が適用される半導体製造装置の一例を示すブロック図であり、図1を参照して半導体製造装置10について説明する。図1の半導体装置10は、ウェハ処理部11、プローバ検査部12、組立部13、検査部14、制御部20等からなっている。ウェハ処理部11は洗浄装置、CVD成膜装置、スパッタリング装置、イオンエッチング装置等を有しており、ウェハに対してトランジスタやコンデンサ等を形成するものである。ウェハ処理部11の動作は制御部20によって制御されていて、ウェハ処理部11は処理したウェハの工程内プロセス品質制御データ(In-line Process Quality Control、以下「IPQCデータ」という)を制御部20に対して送る。

【0016】ここで、IPQCデータとは、たとえば酸化膜形成工程では膜厚、CVD成膜工程ではその膜厚、屈折率、Phos/Boron等のドーパ濃度、シート抵抗、フォトリソグラフィ工程では線幅、合わせずれ、

エッチング工程では、線幅、下地残膜厚、洗浄工程では下地残膜厚、パーティクル、スパッタリング工程では膜厚、シート抵抗、パーティクルのような情報が組み込まれたデータである。

【0017】ウェハ処理部11で処理されたウェハがプローバ検査部12に送られる。プローバ検査部12は、ウェハ上に形成された電子回路の電気的特性を効率よく試験するために、各チップの電極に触針を自動的に接触させて、触針に接続した外部のテストによる各チップの電気的試験を行うものである。ここで、プローバ検査部12は、ウェハにおけるチップの電気的特性EC1を検出して制御部20に送る。この電気的特性EC1は複数のパラメータEC1(1)、EC1(2)、・・・からなっている。またプローバ検査部12は電気的特性EC1に基づいてチップの良否を判断し、良品の数量を制御部20に送る。

【0018】組立部13は、プローバ検査部12で検査されたチップを半導体製品に組み立てるものである。組立部13はたとえば、ウェハから個々のチップに切断するダイシング装置、チップをリードフレームやパッケージに装着するダイボンディング装置、チップ上の接続電極と外部端子とを電気的に接続させるワイヤボンディング装置、チップをパッケージングするパッケージング装置、パッケージ表面に文字や記号をつけるマーキング装置等を有している。検査部14は、組立部13により組み立てられた半導体製品における電気的特性EC2を検出して制御部20に送る。この電気的特性EC2は複数のパラメータEC2(1)、EC2(2)、・・・からなっている。また、検査部14は検出した電気的特性EC2に基づいて半導体製品の良否を判断し、良品の数量を制御部20に送る。

【0019】制御部20は半導体製造装置10の動作を制御するものであるとともに、予定歩留まりの算出及び解析を行うものである。具体的には、制御部20は所定の歩留まり予測式を用いて予定歩留まりを算出し、その予定歩留まりに基づいてウェハ処理部11にウェハを投

$$\begin{aligned} y1 &= f_1 (\text{電気的特性EC}) \\ &= f_1 (\text{電気的特性EC}(1)、\text{電気的特性EC}(2)、\dots) \end{aligned} \quad \dots (1)$$

そして、この歩留まり関数 $y1$ が最も影響を受けている電気的特性ECのパラメータEC(m)を抽出する。す

$$y1 = f_2 (\text{電気的特性EC}(m)) \quad \dots (2)$$

【0023】次に、電気的特性EC(m)とIPQCデータとの相関関係が解析される。これを関数に示すと、★

$$\begin{aligned} EC(m) &= f_3 (IPQC) \\ &= f_3 (IPQC(1)、IPQC(2)、\dots) \end{aligned} \quad \dots (3)$$

そして、この電気的特性関数EC(m)が最も影響を受けている1つのパラメータIPQC(m)を抽出する。たとえばウェハ上にCMOSTランジスタを作製した場合☆

\*入する。また後述するように、ウェハ処理部11から送られてくるIPQCデータ、プローバ検査部12及び検査部14から送られてくる電気的特性EC1、EC2及び良品の数量に基づいて、予定歩留まりを修正し、必要があれば新たにウェハを投入するよう制御する。

【0020】図2には本発明の半導体の生産管理方法の一例を示すフローチャート図であり、図1と図2を参照して半導体の生産管理方法について詳しく説明する。まず、図1の制御部20が予め歩留まりを予測して(S10)、一定数量のウェハがウェハ処理部11に投入される(S11)。するとウェハ処理部11がウェハに対して所定の処理を施し、チップが作製される(S12)。このときウェハ処理部11の各作業部は各ウェハに対するIPQCデータを測定して制御部20に送る。

【0021】次に、プローバ検査部12が作製されたチップの電気的測定を行い(S13)、チップの電気的特性EC1を検出する。プローバ検査部12はこの電気的特性EC1に基づいてウェハの状態でチップの良否を判定し、良品と不良品とを分別する。また、プローバ検査部12は良品となった数量も制御部20に送る。プローバ検査工程において良品と判断されたチップは、組立部13に送られる。組立部13はチップを組み立てて、半導体製品を作製する(S14)。その後、検査部14は半導体製品に対して電気的測定を行い、半導体チップの電気的特性EC2を検出する(S15)。検査部14はこの電気的特性EC2に基づいて半導体チップの良否を判断し、良品と不良品に分別する。また検査部14は良品の数量を制御部20に送る。そして検査を終えた半導体製品が出荷される(S16)。

【0022】制御部20はこの電気的特性EC1もしくはEC2又は電気的特性EC1とEC2(以下、単に「EC」とする)に基づいて予定歩留まりを求める。具体的には、まず、プローバ検査部12及び検査部14で検出された電気的特性ECと歩留まりとの相関関係が解析される。これを関数に示すと、歩留まり関数 $y1$ は次式のようなになる。

※と、歩留まり関数 $y1$ は電気的特性EC(m)を変数とした歩留まり関数 $y1$ になる。

★電気的特性関数EC(m)は次式のようなになる。

☆合、そのCMOSTランジスタのしきい値電圧 $V_{th}$ はウェハの不純物濃度に影響される。従って、IPQCデータのうちウェハの不純物濃度の1つのパラメータを抽

出することになる。ここで電気的特性関数EC(m)は1つのパラメータIPQC(m)を変数とした電気的\*

性関数EC(m)に変換される。

$$EC(m) = f_4(IPQC(m)) \quad \dots (4)$$

【0024】式(2)と式(4)により、歩留まり関数y1は、次式で示すように、IPQCデータの1つのパ

※ラメータIPQC(m)を変数とする回帰式となる。

$$\begin{aligned} \text{歩留まり関数 } y1 &= f_2(f_4(IPQC(m))) \\ &= f_5(IPQC(m)) \quad \dots (5) \end{aligned}$$

この歩留まり関数y1を用いて算出された予定歩留まりと、検査部14から送られてきた良品数量に基づいて算出された実際の歩留まりを比較する。そして予定歩留まりより実際の歩留まりが低いとき、制御部20は新たにウェハ処理部11にウェハを投入するよう制御する。

★メータIPQC(m)に最も影響を与えているウェハ処理部11内の作業の作業条件を式(5)に基づいて変更させることもできる。具体的には、式(5)において歩留まりy1が最もよくなるようなIPQC(m)になるように作業条件を変更することにより、歩留まりの低下を最小限に防止することもできる。

【0025】この歩留まり関数y1を用いて歩留まりを予測することにより、IPQCデータから歩留まりを予測することができるため、ウェハ投入が必要な場合には早期に投入することができ、歩留まりの変動による半導体製品の生産量への影響を最小限に抑えることができる。

【0027】図3には本発明の第2の実施の形態を示すフローチャート図を示しており、図3を参照して半導体の生産管理方法について説明する。図3の半導体の生産管理方法が図2の半導体の生産管理方法と異なる点は、歩留まり関数y2を次式に示すように、2つのパラメータを変数とする2変数関数とした点である。

【0026】また、制御部20がIPQCデータのパラ

$$y2 = f_{10}(IPQC(m), IPQC(n)) \quad \dots (6)$$

歩留まり関数y2を2変数関数としたのは以下の理由による。たとえばCMOSTランジスタのドレイン電流Idsは(ゲート幅W/ゲート長L)に依存する。従ってドレイン電流はIPQCデータのうちゲート幅Wとゲート長Lの2つのパラメータに依存することがわかる。この場合、2つのパラメータを変数とした歩留まり関数y2を用いて歩留まりを算出することにより、より正確に☆

☆歩留まりを予測することができる。

$$\begin{aligned} y2 &= f_6(\text{電気的特性EC}) \\ &= f_6(\text{電気的特性EC}(1), \text{電気的特性EC}(2), \dots) \quad \dots (7) \end{aligned}$$

そして、この歩留まり関数y2が最も影響を受けている電気的特性のパラメータEC(m)を抽出し、歩留まり◆

◆関数y2は電気的特性EC(m)を変数とした歩留まり関数y2に変換される。

$$y2 = f_7(\text{電気的特性EC}(m)) \quad \dots (8)$$

【0029】次に、電気的特性のパラメータEC(m)とIPQCデータとの相関関係が解析される。これを関\*

\*数に示すと、電気的特性関数EC(m)は次式のようになる。

$$\begin{aligned} EC(m) &= f_8(IPQC) \\ &= f_8(IPQC(1), IPQC(2), \dots) \quad \dots (9) \end{aligned}$$

そして、この電気的特性関数EC(m)が影響を受けているたとえば2つのパラメータIPQC(m)、IPQC(n)を抽出して、この2つのパラメータIPQC

※(m)、IPQC(n)を変数とした電気的特性関数EC(m)は次式のようになる。

$$EC(m) = f_9(IPQC(m), IPQC(n)) \quad \dots (10)$$

【0030】式(8)と式(10)により、歩留まり関数yは2つのパラメータIPQC(m)、IPQC

★(n)を変数とする回帰式となる。

$$\begin{aligned} \text{歩留まり関数 } y &= f_7(f_9(IPQC(m), IPQC(n))) \\ &= f_{10}(IPQC(m), IPQC(n)) \quad \dots (6) \end{aligned}$$

この歩留まり関数y2を用いて歩留まりを予測することにより、ウェハ処理部11における各工程においてIPQCデータから歩留まりを予測し生産管理を調整することができる。

☆【0031】また、制御部20がIPQCデータのパラメータIPQC(m)、IPQC(n)に最も影響を与えているウェハ処理部11内の作業の作業条件を式(6)に基づいて変更させることもできる。具体的に

は、式(6)において歩留まり $y_2$ がよくなるような2つのパラメータIPQC(m)、IPQC(n)にするように作業条件を設定することにより、歩留まりの低下を最小限に防止することもできる。

【0032】図4には本発明の半導体の生産管理方法の第3の実施の形態を示すフローチャート図であり、図4を参照して第3の実施の形態について説明する。図4の第3の実施の形態が図2の第1の実施の形態と異なる点は、第1パラメータIPQC(n)が第2パラメータI

$$IPQC(n) = f_{11}(IPQC(m)) \quad \dots (11)$$

【0034】従って、最初に第2パラメータIPQC(m)を変化させて、これにより変化した第1パラメータ

$$\text{歩留まり関数 } y_3 = f_{12}(f_{11}(IPQC(m))) \quad \dots (11)$$

そして、パラメータIPQC(m)を制御するため、ウェハ処理部11内の工程作業条件を調整する。これにより、ウェハ処理部11内におけるある工程のIPQCデータから歩留まりの低下が予測される場合、次工程に作業条件を調整して歩留まり低下を最小限に抑えるようにする事ができる。また、この作業条件の修正を含めた歩留まりを予測することにより、ウェハの投入する数量も

【0035】また第2パラメータIPQC(m)の変動から予定歩留まりの変動を算出して、この予定歩留まりが抑えられるような第1パラメータIPQC(n)になるように、ウェハ処理工程における第1パラメータ(n)に影響を与える作業の作業条件を修正する。これにより、歩留まりの低下を防止することができる。

【0036】上記実施の形態によれば、半導体製品の生産管理において、ウェハ処理工程のIPQCデータから歩留まりを予測する回帰式を求め、この予測歩留まりから生産調整を行うことにより、歩留まり変動による影響を最小限に抑えて生産管理を適切に行うことができる。また、ウェハ処理工程において、所定の作業終了後のIPQCデータから歩留まりを予測して、この結果に基づいて次の作業条件を修正して作業を行うことにより、製★

\*PQC(m)に影響を及ぼされている場合を考慮して、歩留まり関数 $y_3$ が算出されることである。

【0033】具体的には、複数のIPQCデータが検出される電気的特性ECに影響を与えているものとする。さらに、パラメータIPQC(m)が他のパラメータIPQC(n)に影響を与えているものとする。この場合、ウェハを処理する工程において、第2パラメータに影響を与える作業を行うと、第1パラメータも変動し予定歩留まりも変動する。

※タIPQC(n)と歩留まりの変動を解析するようにする。このときの歩留まり関数 $y_3$ は次式のようになる。

★造ロットの歩留まり低下を最小限に抑えることができる。

【0037】

【発明の効果】以上説明したように、本発明によれば、歩留まり変動による生産量の変動を最小限に抑えて、生産管理を適切に行うことができる。

20 【図面の簡単な説明】

【図1】本発明の生産管理方法により管理されている半導体製造装置の一例を示すブロック図。

【図2】本発明の生産管理方法の好ましい実施の形態を示すフローチャート図。

【図3】本発明の生産管理方法の第2の実施の形態を示すフローチャート図。

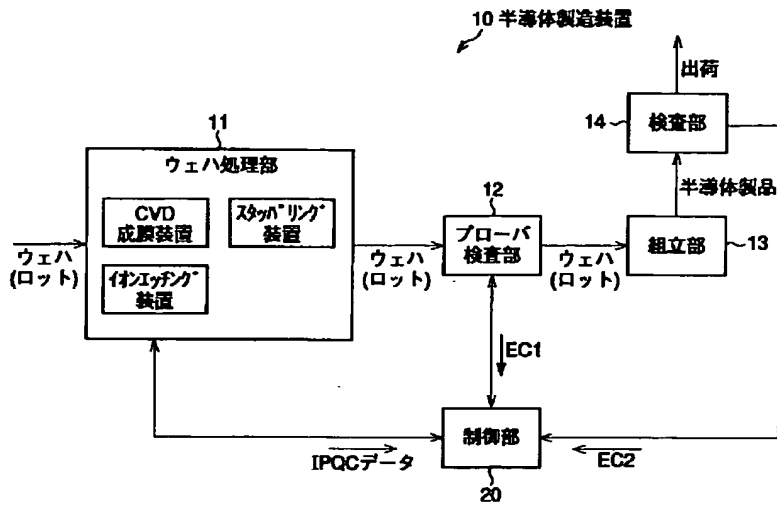
【図4】本発明の生産管理方法の第3の実施の形態を示すフローチャート図。

30 【図5】従来の生産管理方法の一例を示すフローチャート図。

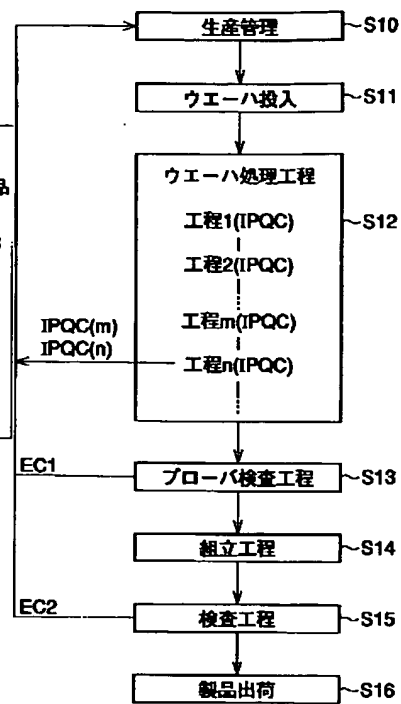
【符号の説明】

10・・・半導体製造装置、11・・・ウェハ処理部、12・・・プローバ検査部、13・・・組立部、IPQCデータ・・・工程内品質管理データ、EC・・・電気的特性。

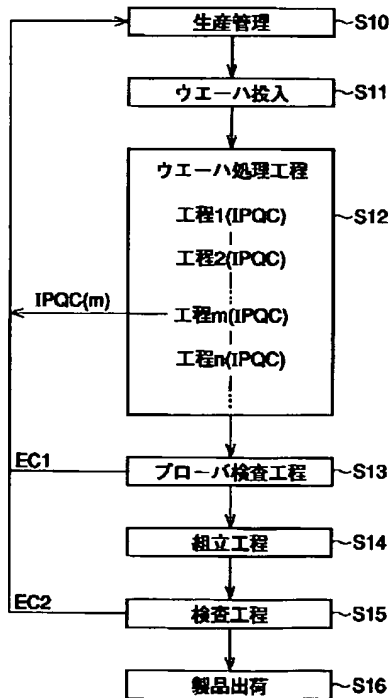
【図1】



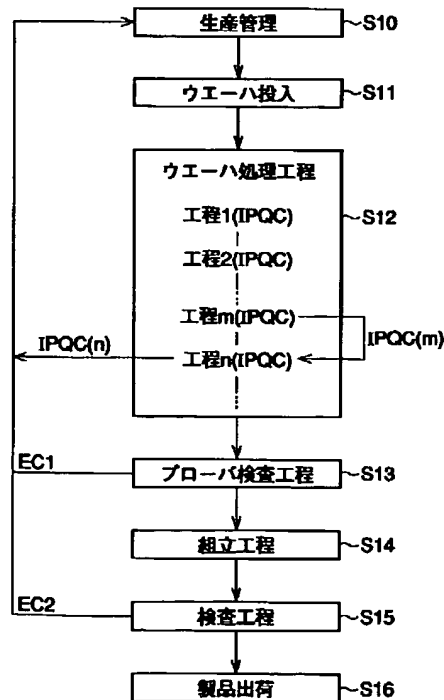
【図3】



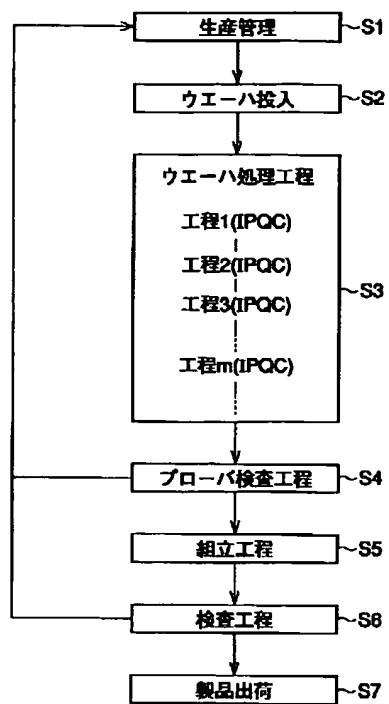
【図2】



【図4】



【図5】





**PAT-NO: JP02000091178A**

**DOCUMENT-IDENTIFIER: JP 2000091178 A**

**TITLE: PRODUCTION CONTROL METHOD**

**PUBN-DATE: March 31, 2000**

**INVENTOR-INFORMATION:**

<b>NAME</b>	<b>COUNTRY</b>
<b>YAMADA, HIROYUKI</b>	<b>N/A</b>
<b>IMAI, YUJI</b>	<b>N/A</b>

**ASSIGNEE-INFORMATION:**

<b>NAME</b>	<b>COUNTRY</b>
<b>SONY CORP</b>	<b>N/A</b>

**APPL-NO: JP10258456**

**APPL-DATE: September 11, 1998**

**INT-CL (IPC): H01L021/02, G06F017/60**

**ABSTRACT:**

**PROBLEM TO BE SOLVED:** To appropriately control production by adjusting the production according to a predicted yield by obtaining a regression expression

**for predicting the yield from production control data in a wafer treatment process.**

**SOLUTION: In a semiconductor-manufacturing device 10, a wafer treatment part 11 sends production control data in a process of a treated wafer to a control part 20. When the wafer that is treated by the wafer treatment part 11 is sent to a prober inspection part 12, the prober inspection part 12 detects the electrical characteristics of a chip in the wafer and sends them to the control part 20. An assembly part 13 assembles a chip that is inspected by the prober inspection part 12 into a semiconductor product. Then, an inspection part 14 detects electrical characteristics in a semiconductor product being assembled by the assembly part 13 to the control part 20. Also, it is judged whether the semiconductor product is conforming or not based on the electrical characteristics being detected by the inspection part 14, and the number of conforming semiconductor products is set to the control part 20. The control part 20 calculates a scheduled yield using a specific yield prediction expression and throws wafers into the wafer treatment part 11 based on the scheduled yield.**

**COPYRIGHT: (C)2000,JPO**